

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-218192

(43)Date of publication of application : 25.09.1991

(51)Int.Cl.

H04N 7/01  
H04N 7/00

(21)Application number : 02-012726

(71)Applicant : HITACHI LTD

(22)Date of filing : 24.01.1990

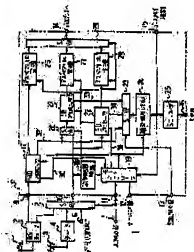
(72)Inventor : SUGIYAMA MASAHIITO  
HIRAHATA SHIGERU  
SUZAKI TORU  
NAKAGAWA HIMIO  
KATSUMATA KENJI

## (54) CIRCUIT AND METHOD FOR PROCESSING WIDE TELEVISION SIGNAL

### (57)Abstract:

PURPOSE: To reduce the cost of a product and the load on the designing work by executing a wide television(TV) signal processing capable of receiving any kind of TV signal by the same image receiver even if an inputted TV signal is a high quality TV signal, an EDTV signal, or a current standard TV signal.

CONSTITUTION: The wide TV signal processing circuit is provided with an HD processor 17, a wide screen identification(ID) signal detecting circuit 18, a mode controller 19, an ID processor 21, an ED processor 22, aspect ratio conversion circuits 26 to 28, and so on. Even if a TV signal inputted from a TV signal input terminal 10 is a signal having the same aspect ratio as that of the current standard TV system or a signal having a wide aspect ratio, the aspect ratio can correctly be recognized. Consequently, display based upon a normal vertical/horizontal ratio can be attained in accordance with the ID of a display connected to a display terminal.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A) 平3-218192

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月25日

H 04 N 7/01  
7/00J 7734-5C  
A 8838-5C

審査請求 未請求 請求項の数 18 (全21頁)

⑮ 発明の名称 ワイドテレビジョン信号処理回路及び処理方法

⑯ 特 願 平2-12728

⑰ 出 願 平2(1990)1月24日

⑱ 発 明 者 杉 山 雅 人 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所  
 所家電研究所内  
 ⑲ 発 明 者 平 昌 茂 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所  
 所家電研究所内  
 ⑳ 発 明 者 須 崎 徹 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所  
 所家電研究所内  
 ㉑ 発 明 者 中 川 一 三 夫 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所  
 所家電研究所内  
 ㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
 ㉓ 代 理 人 弁理士 並木 昭夫  
 最終頁に続く

## 明 細 書

## 1. 発明の名称

ワイドテレビジョン信号処理回路及び処理方法

## 2. 特許請求の範囲

1. 入力テレビジョン信号が高品位テレビジョン信号であろうと現行標準テレビジョン信号であろうと、また接続されてテレビジョン信号を表示するディスプレイがワイドアスペクト比を持つディスプレイであろうと現行標準アスペクト比を持つディスプレイであろうと、それらにかかわらず、入力テレビジョン信号について信号処理を行い、接続されたディスプレイに適した映像信号として、該ディスプレイに向けて出力するワイドテレビジョン信号処理回路において、

入力テレビジョン信号として何れのテレビジョン信号を入力するかを指定する入力切替信号の入力端子(7)と、指定されたテレビジョン信号を入力するテレビジョン信号入力端子(9、10)と、テレビジョン信号を画像表示すべき

ディスプレイの接続されるディスプレイ端子(14)と、接続されたディスプレイの種別表示信号を入力されるディスプレイ種別入力端子(15)と、

前記テレビジョン信号入力端子から入力された信号が高品位テレビジョン信号であるときはそのことを判別する高品位テレビジョン信号判別手段と、入力された高品位テレビジョン信号を表示用の高品位テレビジョン信号に復調するデコード手段と、から成るH D P ロセッサ(17)と、

前記テレビジョン信号入力端子から入力された信号が現行標準テレビジョン信号であるときは、フレーム間補間を利用した動き逐次型高画質化手段(52、53)を用いたI D T V 処理を行い高画質化を図って出力するI D P ロセッサ(21)と、

前記H D P ロセッサ又はI D P ロセッサの出力信号を入力され前記ディスプレイ端子に接続されたディスプレイの持つアスペクト比に一致

## 特開平3-218192(2)

したアスペクト比を持つ信号に変換して該ディスプレイに向け出力するアスペクト比変換手段(26、27)と、

前記HDPロセッサ(17)における高品位テレビジョン信号判別手段からの判別信号(30)と前記ディスプレイ側入力端子(15)からの種別信号とを入力され、前記HDPロセッサ(17)、IDPロセッサ(21)及びアスペクト比変換手段(26、27)に、それぞれ対応した動作モードを指定して所定の動作を実行させるモード制御手段(19)と、

を具備して成ることを特徴とするワイドテレビジョン信号処理回路。

2. 請求項1に記載のワイドテレビジョン信号処理回路において、前記HDPロセッサ(17)が、入力された高品位テレビジョン信号を表示用の高品位テレビジョン信号に復調するデコード手段に代えて、入力された高品位テレビジョン信号を表示用の現行標準テレビジョン信号にダウンコンバートして出力するダウンコン

バート手段(74)を含むことを特徴とするワイドテレビジョン信号処理回路。

3. 請求項1に記載のワイドテレビジョン信号処理回路において、前記HDPロセッサ(17)が、入力された高品位テレビジョン信号を表示用の高品位テレビジョン信号に復調するデコード手段(72)のほか、入力された高品位テレビジョン信号を表示用の現行標準テレビジョン信号にダウンコンバートして出力するダウンコンバート手段(74)をも含むことを特徴とするワイドテレビジョン信号処理回路。

4. 請求項2又は3に記載のワイドテレビジョン信号処理回路において、前記HDPロセッサ(17)におけるダウンコンバート手段(74)からの出力信号(32)を前記IDPロセッサ(21)へ導いてIDTV処理を施すことによりS/N比を改善した後、アスペクト比変換手段(27)を介してディスプレイ端子(14)へ出力するようにしたことを特徴とするワイドテレビジョン信号処理回路。

5. 請求項2、3又は4に記載のワイドテレビジョン信号処理回路において、前記IDPロセッサ(21)又はHDPロセッサ(17)が出力する表示用の現行標準テレビジョン信号を入力され、それを現行映像機器による録画に備えて、輝度信号、色信号分離型のテレビジョン信号に変換して出力するSエンコード手段(25)を具備したことを特徴とするワイドテレビジョン信号処理回路。

6. 請求項5に記載のワイドテレビジョン信号処理回路において、前記Sエンコード手段(25)から出力される出力信号が、本来ワイドアスペクト比をもつ信号であるとき、そのことを示すワイド画面識別信号を付加するワイド画面識別信号付加手段(24)と、入力端子から入力されたテレビジョン信号にワイド画面識別信号が付加されているとき該ワイド画面識別信号を検出してその旨を前記モード制御手段(19)に通知するワイド画面識別信号検出手段(18)と、を具備したことを特徴とするワイド

テレビジョン信号処理回路。

7. 入力テレビジョン信号が高品位テレビジョン信号であろうと現行標準テレビジョン信号であろうと、また接続されてテレビジョン信号を表示するディスプレイがワイドアスペクト比を持つディスプレイであろうと現行標準アスペクト比を持つディスプレイであろうと、それらにかかわらず、入力テレビジョン信号について信号処理を行い、接続されたディスプレイに運した映像信号として、該ディスプレイに向けて出力するワイドテレビジョン信号処理回路において、

入力テレビジョン信号として何れのテレビジョン信号を入力するかを指定する入力切替信号の入力端子(7)と、指定されたテレビジョン信号を入力するテレビジョン信号入力端子(9、10)と、テレビジョン信号を画像表示すべきディスプレイの接続されるディスプレイ端子(14)と、接続されたディスプレイの種別表示信号を入力されるディスプレイ側入力端子

## 特開平3-218192(3)

(15)と、

前記テレビジョン信号入力端子から入力された信号が高品位テレビジョン信号であるときはそのことを判別する高品位テレビジョン信号判別手段と、入力された高品位テレビジョン信号を表示用の高品位テレビジョン信号に変調するデコード手段と、から成るHDPロセッサ(17)と、

前記テレビジョン信号入力端子から入力された信号が現行標準テレビジョン信号であるときは、フレーム間相関を利用した動き追応型高画質化手段(52, 53)を用いたIDTV処理を行い高画質化を図って出力するIDプロセッサ(21)と、

前記テレビジョン信号入力端子から入力された信号がEDTV信号であるときはそのことを判別するEDTV信号判別手段と、判別された該EDTV信号に対してEDTV処理としてフレーム間相関を利用した動き追応型の高画質化を施す動き追応型高画質化手段(52, 54)と、

ワイド情報付加手段(63)と、から成るEDプロセッサ(22)と、

前記HDPロセッサ、IDプロセッサ又はEDプロセッサの出力信号を入力され前記ディスプレイ端子に接続されたディスプレイの持つアスペクト比に一致したアスペクト比を持つ信号に変換して該ディスプレイに向けて出力するアスペクト比変換手段(25, 27, 28)と、

前記HDPロセッサ(17)における高品位テレビジョン信号判別手段からの判別信号(30)と前記EDプロセッサ(22)におけるEDTV信号判別手段からの判別信号(31)と前記ディスプレイ制御入力端子(15)からの識別信号とを入力され、前記HDPロセッサ(17)、IDプロセッサ(21)、EDプロセッサ(22)及びアスペクト比変換手段(25, 27, 28)に、それぞれ対応した動作モードを指定して所定の動作を実行させるモード制御手段(19)と、

を具備して成ることを特徴とするワイドテレ

ビジョン信号処理回路。

8. 請求項7に記載のワイドテレビジョン信号処理回路において、前記EDプロセッサ(22)における動き追応型高画質化手段(52, 54)が、前記IDプロセッサ(21)における動き追応型高画質化手段(52, 54)と共用化されたことを特徴とするワイドテレビジョン信号処理回路。

9. 請求項7に記載のワイドテレビジョン信号処理回路において、前記EDプロセッサ(22)に含まれる動き追応型高画質化手段とワイド情報付加手段は、判別されたEDTV信号に対してフレーム間相関を利用した動き追応型の高画質化を施す第1の高画質化手段(52)と、該第1の高画質化手段(52)で処理された信号に対してワイド画面情報を付加するワイド情報付加手段(63)と、該ワイド情報付加手段(63)で処理された信号に対してフィールド間相関を利用した動き追応型の高画質化を施す第2の高画質化手段(54)と、から成ること

を特徴とするワイドテレビジョン信号処理回路。

10. 請求項7, 8又は9に記載のワイドテレビジョン信号処理回路において、前記HDPロセッサ(17)が、入力された高品位テレビジョン信号を表示用の高品位テレビジョン信号に変調するデコード手段に代えて、入力された高品位テレビジョン信号を表示用の現行標準テレビジョン信号にダウンコンバートして出力するダウンコンバート手段(74)を含むことを特徴とするワイドテレビジョン信号処理回路。

11. 請求項7, 8又は9に記載のワイドテレビジョン信号処理回路において、前記HDPロセッサ(17)が、入力された高品位テレビジョン信号を表示用の高品位テレビジョン信号に変調するデコード手段(72)のほか、入力された高品位テレビジョン信号を表示用の現行標準テレビジョン信号にダウンコンバートして出力するダウンコンバート手段(74)をも含むことを特徴とするワイドテレビジョン信号処理回路。

## 特開平3-218192(4)

12. 請求項10又は11に記載のワイドテレビジョン信号処理回路において、前記HDPロセッサ(17)におけるダウンコンバート手段(74)からの出力信号(32)を前記IDプロセッサ(21)へ導いてIDTV処理を施すことによりS/N比を改善した後、アスペクト比変換手段(27)を介してディスプレイ端子(14)へ出力するようにしたことを特徴とするワイドテレビジョン信号処理回路。

13. 請求項10、11又は12に記載のワイドテレビジョン信号処理回路において、前記IDプロセッサ(21)又はHDPロセッサ(17)が出力する表示用の現行標準テレビジョン信号を入力され、それを現行映像機器による録画に備えて、録画信号、色信号分離型のテレビジョン信号に変換して出力するSエンコード手段(25)を具備したことを特徴とするワイドテレビジョン信号処理回路。

14. 請求項13に記載のワイドテレビジョン信号処理回路において、前記Sエンコード手

段(25)から出力される出力信号が、本来ワイドアスペクト比をもつ信号であるとき、そのことを示すワイド画面識別信号を付加するワイド画面識別信号付加手段(24)と、入力端子から入力されたテレビジョン信号にワイド画面識別信号が付加されているとき該ワイド画面識別信号を検出してその旨を前記モード制御手段(18)に通知するワイド画面識別信号検出手段(18)と、を具備したことを特徴とするワイドテレビジョン信号処理回路。

15. 入力される高品位テレビジョン信号を現行標準テレビジョン信号による走査方式のテレビジョン信号に変換した後、フレーム間差を利用した動き追従型の高画質化をIDTV処理として行い、ディスプレイに向けて出力することを特徴とするワイドテレビジョン信号処理方法。

16. 第1のアスペクト比判別手段によって入力テレビジョン信号のアスペクト比を判別する段階と、第2のアスペクト比判別手段によってディスプレイのアスペクト比を判別する段階

と、前記判別結果に基づき、前記入力テレビジョン信号が前記ディスプレイ上で正確の縦横比で表示されるようにアスペクト比変換手段がアスペクト比変換を行う段階と、から成ることを特徴とするワイドテレビジョン信号処理方法。

## 3. 発明の詳細な説明

## (産業上の利用分野)

本発明は、テレビジョン信号の信号処理回路及び処理方法に関するものであり、更に詳しくは、入力テレビジョン信号が高品位テレビジョン信号であろうと現行標準テレビジョン信号であろうと、また接続されてテレビジョン信号を表示するディスプレイがワイドアスペクト比を持つディスプレイであろうと現行標準アスペクト比を持つディスプレイであろうと、それらにかかわらず、入力テレビジョン信号について信号処理を行い、接続されたディスプレイに送った映像信号として、該ディスプレイに向けて出力するワイドテレビジョン信号処理回路及び処理方法に関するものである。

〔従来の技術〕

現行の標準カラーテレビジョン方式であるNTSC方式は、方式自体に基づくドット妨害やクロスカラー、ラインフリッカなどの画質劣化を有する。これらの劣化は、近年、S-VHS方式VTRやレーザ方式ビデオディスクなどの高画質映像ソースが普及したことや、ディスプレイの大型化により非常に顕著になってきた。このため、テレビ受像機の高画質化に対する要求が大きくなってきている。

このような動きの中、日本をはじめとした世界各国において、新しいテレビジョン方式である高品位テレビジョン(HDTV, High Definition TV)の研究が行われている。例えば日本においては、NHKが主体となって開発を進めているハイビジョン方式を、以下例にとって説明を行う。

ハイビジョン方式は、走査線数が1125本、信号帯域が20MHz以上と、現行NTSC方式の約5倍の情報量を持ち、非常に高精細な映像を実現している(資料、「NHK技術研究誌」第52巻第39号 第2号 通巻第172号 p18～

## 特開平3-218192(5)

53)。

このハイビジョン信号の放送衛星による伝送のために開発されたのが、MUSE (Multiple Sub-Nyquist Sampling Encoding) 方式である。このMUSE信号を元のハイビジョン信号に変換するためには、大きな回路規模が受信機に要求される。この信号変換回路をMUSEデコーダと呼ぶ。

また、ハイビジョンの特徴の一つに画面のアスペクト比が9:16と、NTSCの3:4と比べて横長であることがある。したがって、ハイビジョン信号を走査線数、画面のアスペクト比ともに異なる現行受信機で見るためには、なんらかの信号変換が必要とされる。この信号変換装置をダウンコンバータと呼ぶ。

一方、上記のようなワイドアスペクト比(9:16)を持つテレビジョン方式として、同じく日本において研究されているのがEDTV (Extended Definition TV) の第2世代方式(以下、EDTV-IIと略す。)である。

ビジョン信号処理回路及び処理方法を提供することにある。

また、本発明の第2の目的は、上記受信機の表示部(ディスプレイ)のアスペクト比が3:4あるいはワイドアスペクト比(例えば9:16)であっても、同一の信号処理回路を異なる製品(異なるアスペクト比のディスプレイ)に適用できるようにして、低価格化と設計作業の削減を可能とした、かかるワイドテレビジョン信号処理回路及び処理方法を提供することにある。

さらに本発明の第3の目的は、上記受信機の表示部(ディスプレイ)が一画面方式のみに対応するシングルスキャン方式ディスプレイあるいはいくつかの画面方式に対応するマルチスキャン方式ディスプレイの何れであっても、同一信号処理回路を異なる製品(画面方式を異にするディスプレイ)に適用できるようにして、低価格化と設計作業の削減を可能とした、かかるワイドテレビジョン信号処理回路を提供することにある。

本発明の第4の目的は、入力したテレビジョン

EDTV-IIは現行NTSC方式と互換性を保ちながら、画像のワイド化、高解像度を図ろうとするものである。

【発明が解決しようとする課題】

上述したように、ワイドテレビジョンの方式としてはハイビジョンのほか、EDTV-IIがあるが、これらはほぼ同一時期に放送が行われると考えられている。また、現行放送方式であるNTSC方式も継続して放送される。したがって、方式の異なる各種放送を全部受信しようとすると、数種類の受信機が必要になるが、これらをそれぞれ購入、設置するのは価格、設置スペースの点でも現実的ではない。

本発明の第1の目的は、入力したテレビジョン信号が高品位テレビジョン信号(例えばハイビジョン)またはEDTV信号(例えばEDTV-II)であっても、あるいは現行標準テレビジョン信号(例えばNTSC)であっても、入力信号を識別し、処理を切り替えることにより、同一の受信機で受信が可能のように信号処理を行うワイドテ

レジョン信号の種別にかかわらず、現行標準テレビジョン信号に合った画面方式の、輝度信号、色信号分離型のテレビジョン信号を出力することを可能とすることにある。かつ、前記輝度信号、色信号分離型のテレビジョン信号を入力して表示する際に、前記輝度信号、色信号分離型のテレビジョン信号が本来ワイドアスペクト比を持つ信号であっても、表示するディスプレイがワイドである場合には、正確のアスペクト比を得ることのできるワイドテレビジョン信号処理回路を提供することにある。

【課題を解決するための手段】

上記第1、第2、第3の目的を達成するために、テレビジョン信号入力端子と、テレビジョン画像が表示されるディスプレイが接続されるディスプレイ端子と、上記ディスプレイ端子に接続されディスプレイの種別を入力するディスプレイ種別入力手段と、入力したテレビジョン信号が高品位テレビジョン信号であるかどうかを判別する高品位テレビジョン信号判別手段を有するとともに、高品位テレビジョン信号に対しデコード処理または

## 特開平3-218192(6)

ダウンコンバート処理あるいはその両方の処理を行うHDPロセッサと、現行標準テレビジョン信号を入力し、IDTV処理により高画質化を図るIDプロセッサと、入力したテレビジョン信号がEDTV信号であるかどうかを判別するEDTV信号判別手段を有するとともに、EDTV信号に対し少なくともフレーム間補間を利用した動き適応型高画質化手段とワイド情報付加手段とからなるEDTV処理を行うEDプロセッサと、上記HDPロセッサと上記IDプロセッサと上記EDプロセッサとの出力信号を入力し、上記ディスプレイへの表示の際に正規の縦横比が得られるように表示アスペクト比を变换するアスペクト比変換手段と、上記高品位テレビジョン信号判別手段で判別されたテレビジョン信号の判別出力と、上記EDTV信号判別手段で判別されたテレビジョン信号の判別出力と、上記ディスプレイ個別入力手段より入力されるディスプレイの種類とを入力し、上記HDPロセッサと、上記IDプロセッサと、上記EDプロセッサと、上記アスペクト比変換手

段とのそれぞれを制御するモード制御手段とから、ワイドテレビジョン信号処理回路を構成したものである。

また、これに加えて、第4の目的を達成するために、前記IDプロセッサと前記HDPロセッサ、もしくは前記EDプロセッサは、少なくとも現行標準テレビジョン信号に合った走査方式の出力信号を出力し、このそれぞれの出力信号を輝度信号、色信号分離型のテレビジョン信号に変換して出力するSエンコード手段と、上記Sエンコード手段から出力される輝度信号、色信号分離型出力信号が、本来ワイドアスペクト比のテレビジョン信号であるかどうかを示す識別信号を付加するワイド画面識別信号付加手段と、前記テレビジョン信号入力端子から入力される信号が、本来ワイドアスペクト比のテレビジョン信号であるかどうかを示す上記識別信号を検出するワイド画面識別信号検出手段と、からワイドテレビジョン信号処理回路を構成したものである。

(作用)

HDPロセッサはテレビジョン信号入力端子からのテレビジョン信号を入力し、高品位テレビジョン信号であるかどうかの判別を高品位テレビジョン信号判別手段によって行い、高品位テレビジョン信号に対しデコード処理あるいはダウンコンバート処理を行う。この時、ディスプレイ端子に接続されるディスプレイが高品位テレビジョン信号用のときは、デコード処理およびダウンコンバート処理を行い、現行標準テレビジョン方式と同じ走査数のディスプレイのときはダウンコンバート処理を行うように切り替えられる。

IDプロセッサは現行標準テレビジョン信号に合った走査方式のテレビジョン信号を入力し、フレーム間あるいはフィールド間の相関性を利用したIDTV処理により高画質化を図る。この時、ディスプレイ端子に接続されるディスプレイが、インターレース走査のディスプレイであるか、あるいは順次走査のディスプレイであるかをディスプレイ個別入力手段によって得、これにより、IDTV処理における順次走査化を行うかどうか

が選択される。なお、このIDTV処理の具体的な構成例としては、例えば本発明人等の出願による特願昭63-135527号がある。

EDプロセッサはテレビジョン信号入力端子からのテレビジョン信号を入力し、EDTV信号であるかどうかの判別をEDTV信号判別手段によって行い、EDTV信号に対してEDTV処理によるワイド化、高解像化を行う。この時、ディスプレイ端子に接続されるディスプレイがインターレース走査のディスプレイであるか、あるいは順次走査のディスプレイであるかをディスプレイ個別入力手段によって得、これにより、EDTV処理における順次走査化を行うかどうかを選択される。なお、このEDTV処理の構成例としては、例えば、特開昭63-78685号公報や特開昭63-35693号公報がある。

アスペクト比変換回路は、テレビジョン信号入力端子から入力したテレビジョン信号のアスペクト比と、ディスプレイ端子に接続されたディスプレイのアスペクト比とが異なる場合でも、正規の



## 特開平3-218192(7)

縦横比で表示が可能のように表示アスペクト比の  
変換を行う。ここで、入力信号が現行標準テレビ  
ジョン方式と同じアスペクト比の信号であって、  
ワイドアスペクト比のディスプレイに表示する場  
合には、例えば、画面の左右を圧縮するか、ある  
いは画面の上下を伸張するような変換を行う。ま  
た、入力信号がワイドアスペクトの信号であって、  
現行標準テレビジョン方式と同じアスペクト比の  
ディスプレイに表示する場合には、水平方向に伸  
張するか、画面の上下を圧縮するような変換を行  
う。

モード制御手段は、上記高品位テレビジョン信  
号判別手段と上記EDTV信号判別手段とで判別  
されたテレビジョン信号の判別出力と、上記ディ  
スプレイ種別入力手段から入力されるディスプレ  
イの種別とを入力し、上記HDBプロセッサと上記  
IDプロセッサと上記EDプロセッサと上記アス  
ペクト比変換手段のそれぞれを制御する制御信号  
を発生する。

これらにより、テレビジョン信号入力端子から

入力したテレビジョン信号が高品位テレビジョン  
信号またはEDTV信号であっても、あるいは現  
行標準テレビジョン信号であっても、入力信号を  
識別し各テレビジョン信号に対応した最適な処理  
を行うことができるので、同一の受信機による受  
信が可能となる。

また、ディスプレイ端子に接続されるディス  
プレイの種別、例えばインターレース走査であるか  
順次走査であるか、あるいはワイドアスペクト比  
であるか標準アスペクト比であるか、さらに高品  
位テレビジョン信号用であるか標準テレビジョン  
信号用であるかなどを、ディスプレイ種別入力端  
子によって得ており、これにより、各ディスプレ  
イに対応した最適な処理を行うことができるので、  
種々のディスプレイに対し同一の受信機で対応  
することが可能となる。

一方、Sエンコード手段は、上記HDBプロセッ  
サと上記IDプロセッサと上記EDプロセッサと  
からそれぞれ出力される、現行標準テレビジョン  
信号に合った走査方式のテレビジョン信号を入力

し、輝度信号、色信号分離型のテレビジョン信号  
に変換する。

ワイド画面識別信号付加手段は、上記Sエン  
コード手段から出力される輝度信号、色信号分離型  
テレビジョン信号が、現行方式と同じアスペクト  
比の信号であるかワイドアスペクト比の信号であ  
るかを識別する信号を付加する。

ワイド画面識別信号検出手段は、テレビジョン  
信号入力端子から入力された現行標準テレビジョ  
ン信号と同じ走査線数と走査速度を持つ信号が、  
本来ワイドアスペクト比のテレビジョン信号であ  
るかどうかに示す上記識別信号を検出する。

これらにより、テレビジョン信号入力端子から  
入力されたテレビジョン信号が、現行標準テレビ  
ジョン方式と同じアスペクト比の信号であったと  
しても、ワイドアスペクト比の信号であったとし  
ても、その本来のアスペクト比を正しく認識でき  
るので、ディスプレイ端子に接続されるディス  
プレイの種別に応じて正規の縦横比での表示が可  
能となる。

## 【実施例】

以下、本発明を図面を用いて説明する。

まず、第1図を用いて本発明による一実施例の  
概略を説明する。その後、下記6種類のディス  
プレイを、第1図で説明した信号処理回路に接続し  
た場合の各実施例を、それぞれ図面を用いて説明  
する。

- (1) アスペクト比(3:4)のディスプレイ  
(走査線本数525/フレーム周波数30Hz)
- (2) アスペクト比(3:4)のディスプレイ  
(走査線本数525/フレーム周波数60Hz)
- (3) アスペクト比(3:4)のディスプレイ  
(走査線本数625/フレーム周波数60Hz、  
走査線本数1125/フレーム周波数30Hz)
- (4) アスペクト比(9:16)のディスプレイ  
(走査線本数525/フレーム周波数30Hz)
- (5) アスペクト比(9:16)のディスプレイ  
(走査線本数525/フレーム周波数60Hz)
- (6) アスペクト比(9:16)のディスプレイ  
(走査線本数525/フレーム周波数60Hz、  
走査線本数1125/フレーム周波数30Hz)

## 特開平3-218192(B)

なお、各実施例の説明では下記のように、3種類のテレビジョン信号を入力して処理する場合および、他の映像機器(VTR等)への出力信号を処理する場合の4つに細分して説明を行うことにする。

- (a) 実行方式としてNTSC信号
- (b) EDTV信号としてEDTV-II信号
- (c) 高品位テレビジョン信号としてMUSE信号
- (d) 他の映像機器への出力

第1図において、1はBS(放送衛星)アンテナ、2はBSチューナ、3はアンテナ、4はTVチューナ、5、20、23、29、25はスイッチ、6、9、10は映像入力端子、7は入力切替信号、8はワイドテレビジョン信号処理回路、11は入力切替信号入力端子、12はモード切替信号入力端子、13はセパレート信号(以下、Sと略す)出力切替信号入力端子、14はディスプレイへの出力端子、15はディスプレイ個別入力端子、16はS出力端子、17はHDプロセッサ、18はワイド画面鑑別信号検出回路、19はモー

ドコントローラ、21はIDプロセッサ、22はEDプロセッサ、24はワイド画面鑑別信号付加回路、25はSエンコーダ、26、27、28はアスペクト比変換回路、30はMUSE判別信号、31はEDフラグ検出信号、32、33、34はS出力用の現行標準テレビジョン信号に合った定変方式の信号である。

BSチューナ2から出力されたMUSE信号は、ワイドテレビジョン信号処理回路8の映像入力端子9を經由してHDプロセッサ17に供給される。HDプロセッサ17はMUSEデコーダとダウンコンバータとから構成され、その出力は第1のアスペクト比変換回路26及び第2のスイッチ20に送られる。また、MUSE信号であるかどうかを判別し、その結果をMUSE判別信号30としてモードコントローラ19に送る。第1のアスペクト比変換回路26は、ディスプレイ端子14にアスペクト比(3:4)のディスプレイが接続された場合に動作し、本来ワイドアスペクトの信号が(3:4)のアスペクト比のディスプレイ上で、

正規の縦横比の画像が表示されるように変換を行う。

一方、BSチューナ2から出力されるNTSC信号や、TVチューナ4の出力信号、さらには映像入力端子8から入力されるNTSC方式に準拠したテレビジョン信号(VTR、VDPなどからの)は、第1のスイッチ5により選択され、ワイドテレビジョン信号処理回路8の映像入力端子10へ供給される。ワイド画面鑑別信号検出回路18は、入力したテレビジョン信号が本来ワイドアスペクト比の信号であるかどうかを示す鑑別信号の検出を行い、その結果をモードコントローラ19に送る。

第2のスイッチ20は、HDプロセッサ17からのNTSC方式に合った定変方式のテレビジョン信号、あるいは映像入力端子10からのテレビジョン信号を選択し、IDプロセッサ21に供給する。IDプロセッサ21はIDTV処理、すなわち、フレーム間処理による輝度信号、色信号分離(YC分離)やノイズリデュース、歪み補正など

の画質処理を行う。

第2のアスペクト比変換回路27は、IDプロセッサ21の出力信号が本来ワイドアスペクトの信号であって、(3:4)のアスペクト比のディスプレイに表示する場合または、標準アスペクト比の信号をワイドディスプレイに表示する場合に動作し、それぞれディスプレイに表示する正味の縦横比の画像が得られるような変換を行う。

EDプロセッサ22はEDTV処理、すなわち、高精細化やワイド化などの処理を行う。また、EDTV信号であるかどうかの判別を行い、結果をEDフラグ検出信号31としてモードコントローラ19に送る。第3のアスペクト比変換回路28は、第1のアスペクト比変換回路26と同様に、(3:4)のアスペクト比のディスプレイが接続された場合に動作し、本来ワイドアスペクトの信号が(3:4)のアスペクト比のディスプレイ上で、正規の縦横比の画像で表示されるように変換を行う。

モードコントローラ19は、入力切替信号11

## 特開平3-218192(9)

やモード切替信号12、ディスプレイ欄別入力信号15など各入力端子からの入力信号と、ワイド画面識別信号検出回路18の出力信号及びMUSE判別信号30、EDフラグ検出信号31を入力し、これらにより、ワイドテレビジョン信号処理回路8の各回路部分の制御を行う。

第3のスイッチ23は、HDプロセッサ17から出力されるNTSC方式に合った走査方式にダウンコンバートされたテレビジョン信号32、IDプロセッサ21から出力される順次走査変換を含まない標準連のIDTV処理がされたテレビジョン信号33、及び、EDプロセッサ22から出力される順次走査変換を含まない標準連のEDTV処理がされたテレビジョン信号34のうち、いずれか一つを選択する。ワイド画面識別信号付加回路24は、第3のスイッチ23の出力信号が本来ワイドアスペクト比の信号であるかどうかを示す識別信号を付加する。この識別信号としては例えば、垂直同期期間中に特定パターンの信号を多量すれば良い。

する。IDプロセッサ21は、順次走査変換を含まない標準連のIDTV処理、すなわち、フレーム間処理によるYC分離やノイズリデュースなどの高画質化処理を行った後に、第2のアスペクト比変換回路27を介して、信号をディスプレイ端子14に出力する。

第2のアスペクト比変換回路27は、映像入力端子10から入力したテレビジョン信号が本来ワイドアスペクト比の信号である場合に、標準アスペクト比のディスプレイに表示して正統の縦横比の画像が得られるような変換を行う。この変換方法として、例えば画面のセンター部分を左右に伸長する方法や、画面の上下を圧縮する方法が考えられるが、これらはモード切替信号12により選択される。それ以外の信号に対しては第2のアスペクト比変換回路27は動作を停止するように制御される。

なお、入力信号が本来ワイドアスペクト比の信号であるかどうかの判別は、ワイド画面識別信号検出回路18により行われる。

Sエンコーダ25では、色副搬送波周波数や色信号を変換するなどして、S信号としてのフォーマットを整えた後に、S出力端子18から出力する。

第4のスイッチ29は第1、第2、第3のアスペクト比変換回路26、27、28の各出力信号を切替えて、ディスプレイ端子14へ出力する。

次に、ディスプレイ端子14に各種のディスプレイを接続した場合に、第1図の実施例における各構成要素がどのように動作するかを、図面により説明する。

## (1) 3:4ディスプレイ(525/30)

始めに、走査線数625本、フレーム周波数30Hz、インタレース走査を行うアスペクト比(3:4)のディスプレイを接続して画面表示する場合を説明する。この場合の実施例のブロック図を第2図に示す。

## (1-a) 実行方式NTSC信号入力

第2図において、第2のスイッチ20は映像入力端子10から入力したテレビジョン信号を選択

ところで、この第2のアスペクト比変換回路27は、例えば第3図に示すような構成により実現でき、以下、簡単に説明を行う。

第3図において、41はIDプロセッサ21からの入力信号、42は2次元内挿フィルタ、43はバッファメモリ、44は第4のスイッチ29への出力信号、45はライトコントローラ、46はリードコントローラ、47はモード選択信号である。

まず、左右伸長方式を説明する。例えば第4図(a)に示すワイドアスペクト画像が、第4図(b)のようにアスペクト比(3:4)のディスプレイで左右に圧縮されて表示されるのを防ぐために、第5図のように、表示される映像信号を時間方向に4/3倍に伸長して表示する。この場合は、バッファメモリ43への書き込み速度に対して読み出しの速度を約8/4倍とすることにより、第4図(c)のごとくワイド画面の約3/4の部分を、標準ディスプレイの画面一杯に表示することが可能になる。

## 特開平3-218192 (10)

次に、上下圧縮方式を説明する。第6図(c.)に示すように、画面の縦方向を約3/4倍に圧縮することにより正横の縦横比が得られる。このために、例えば到来走査線の4本から改めて走査線3本を作成するようなフィルタ処理による変換を行い、変換後の走査線を表示すればよい。

第7図において白丸印は到来走査線、黒丸印●は変換後の走査線、図中の矢印と数字は、到来走査線から変換後の走査線を作成する際の倍率比を示す。

なお、第7図は、走査線をその断面方向から見た走査線構造図で、横軸には時間を、縦軸には画面の垂直方向の寸法を示している。

第7図で示した変換後の走査線を第8図のバッファメモリ43に書き込み、改めて連続的に読み出すことにより、第6図(c)の画像を得ることが可能になる。

## (1-b) EDTV-II信号入力

EDTV-II信号は第2図において、EDプロセッサ22に供給され、順次走査変換を含まない

標準連のEDTV処理、すなわち、ワイド化や高解像度処理が施される。また、EDプロセッサ22により検出されたEDフラグ検出信号31がモードコントローラ19に供給される。EDフラグは例えば特定パターンの信号を、垂直同期期間に多量することで実現できる。

第3のアスペクト比変換回路28は、EDプロセッサ22からのワイドアスペクト比信号を入力し、アスペクト比(3:4)のディスプレイに表示した場合に正横の縦横比の画像が得られるような変換を行う。なお、第3のアスペクト比変換回路28は、第2のアスペクト比変換回路27と同じ構成で良い。

## (1-c) MUSE B信号入力

次に、MUSE B信号を入力した場合の動作を説明する。

第2図において、HDプロセッサ17はBSチューナ2からのMUSE B信号を、映像入力端子9を経由して入力し、走査線数を1125本から525本へ削減するダウンコンバート処理を行う。

このダウンコンバート処理は従来例で説明したものと同等の処理で良い。HDプロセッサ17によりダウンコンバート処理がされ、NTSC方式と同じ走査形式となった信号32をIDプロセッサ21に供給し、標準連のIDTV処理を行って高画質化を行う。

HDプロセッサ17からIDプロセッサ21への信号供給は、輝度信号と色信号とを分けて行う。MUSE B信号では、もともと輝度信号と色信号とが時間軸多重化されて伝送されているので、IDTV処理でのYC分離を必要とせず、むしろノイズリデュースとしての動作が主となる。

第2のアスペクト比変換回路27は、前記(1-a)の項で説明した場合と同様に、ワイドアスペクト比信号がアスペクト比(3:4)のディスプレイに表示された場合に正横の縦横比の画像が得られるような変換を行う。

## (1-d) 他の映像源への信号

次に、他の映像機器(例えばVTR)への信号出力について説明する。

第2図において、IDプロセッサ21、EDプロセッサ22、HDプロセッサ17からそれぞれ出力される信号を第3のスイッチ23に供給し、その一つを選択する。なお前述したように、これらの信号はすべて、NTSC方式と同じ走査線数と走査速度とを有する。

ワイド画面側信号付加回路24は、第3のスイッチ23により選択された信号が、ワイドアスペクト比の信号であるかどうかを表す識別信号を付加する。Sエンコーダ25では、色調検出回路26の色差信号で変調するなどして、S信号としてのフォーマットを整えた後に、S出力端子18から出力する。

上記のようにして作成したS信号を、他の映像機器に接続することにより、いろいろな展開を図ることができる。

例えば、S端子を有するVTRへの録画も可能となる。このとき、VTRからの再生信号を表示するには、先に第1図において説明した映像入力端子8から信号を入力し、処理を行えば良い。

## 特開平3-218192(11)

第2図において、ワイド画面鑑別信号検出回路18は、ワイド画面であるかどうかを表す鑑別信号を検出し、その結果がモードコントローラ19に送られる。これにより、S入力信号が本来ワイドアスペクトの信号であるかどうかによって、第2のアスペクト比変換回路27の動作を適応的に制御することができ、縦横比の誤った表示をすることはない。

以上のように本構成では、アスペクト比(3:4)の525/30ディスプレイであっても、MUSE信号あるいはEDTV-II信号を表示可能である。また、MUSE信号のダウンコンバート処理のされた信号に対しても標準速のEDTV処理を行っているので、ダウンコンバートで通常問題となるS/Nの悪さを軽減することができるという利点がある。

## (2) 8:4ディスプレイ(525/50)

次に、走査線数525本、フレーム周波数60Hz、ノンインタレース走査のアスペクト比(3:4)のディスプレイに表示する場合を説明する。

20からの入力信号、52は動き応応型YC分離回路、53は動き応応型走査線補間回路、54は第2のアスペクト比変換回路27への出力信号、53は第3のスイッチ23への出力信号である。

第2のスイッチ20からの入力信号51に対し、動き応応型YC分離回路52において、フレーム間相関を用いたYC分離中ノイズ低減処理を行う。その後、動き応応型走査線補間回路53において、フィールド間相関を用いた順次走査変換処理を行ってから、第2のアスペクト比変換回路27への出力信号として出力する。

ところで、第2のアスペクト比変換回路27への出力信号45は、前記(1-a)の項における動作の説明時には、動き応応型YC分離回路52の出力信号を選び、第3のスイッチ23への出力信号53と同じにするとしていたが、あるいは、そうではなくて、動き応応型走査線補間回路53の動作を停止するように制御しても良い。

## (2-b) EDTV-II信号入力

第8図において、EDTV-II信号を入力した

この場合の処理例のブロック図を第8図に示す。

## (2-a) 現行方式NTSC信号入力

この項に関しては、第8図においてEDプロセッサ21において順次走査変換も含めたEDTV処理を行っている外は、前記(1-a)の項で説明した動作とほぼ同じである。

ここでEDプロセッサ21は、順次走査変換を行ったノンインタレース走査の信号を、第2のアスペクト比変換回路27を経由してディスプレイ端子14に供給するとともに、標準速のEDTV処理のみを行った信号53を、第3のスイッチ23を経由してS出力端子16に供給するようにしている。

これにより、表示ノノインタレースの、ラインフリッカなどのない高画質を得ることができるとともに、S出力端子16には現行方式と同じ走査方式の信号を出力することができ、既存のVTRなどへの接続が可能となる。

なお、EDプロセッサ21の構成例を第9図に示す。第9図において、51は第2のスイッチ

場合の処理も、EDプロセッサ22において順次走査変換も含めたEDTV処理を行うほかは、前記(1-b)の項で説明した動作とほぼ同じである。

ここでEDプロセッサ22は、順次走査変換を行ったノンインタレース走査の信号を第3のアスペクト比変換回路28を介してディスプレイ端子14に供給するとともに、標準速のEDTV処理のみを行った信号54を、第3のスイッチ23を経由してS出力端子16に供給するようにしている。これにより、表示はノノインタレースの、ラインフリッカなどのない高画質な画像を得ることができるとともに、S出力端子16には現行方式と同じ走査方式の信号を出力することができ、既存のVTRなどへの接続が可能となる。

なお、EDプロセッサ22の構成例を第10図に示す。

第10図において、61は映像入力端子10からの入力信号、62は動き応応型YC分離回路、63はワイド情報付加回路、64は動き応応型

## 待間平3-218192(12)

差補間回路、65は第3のアスペクト比変換回路28への出力信号、66はEDフラグ検出回路、31はEDフラグ検出信号、34は第3のスイッチ23への出力信号である。

映像入力端子10からの入力信号61に対し、動き応応型YC分離回路62において、フレーム間相関を用いたYC分離やノイズ低減処理を行う。その後、ワイド情報付加回路63においてワイド化処理を行い、動き応応型差補間回路64において、フィールド間相関を用いた順次走査変換処理を行って、第3のアスペクト比変換回路28への出力信号65として出力する。

S出力用信号34としては、順次走査変換を行わない標準連の信号である必要があり、ワイド情報付加回路63の出力信号を遅べば良い。一方、EDフラグ検出回路66は映像入力端子10からの入力信号61が、EDTV-I信号であるかどうかを表すEDフラグの検出を行い、その結果をEDフラグ検出信号31としてモードコントローラ19へ出力する。

比変換回路27は、IDプロセッサ21からのワイドアスペクト信号がアスペクト比(3:4)のディスプレイに表示された場合に、正規の縦横比の画像が得られるような変換を行う。

上記(II)の直接(走査線数525/フレーム周波数60)信号に変換して表示する方法では、第8図のHDプロセッサ17において、ディスプレイ端子14用の信号と、S出力端子16用の信号という2種類の信号を同時に得るために、走査線数換用の2種類の内挿フィルタが必要になる。

但し、走査線情報の間引きを少なくできるので、動画において解像度の向上した画像が得られる利点がある。

HDプロセッサ17から出力された(走査線数525/フレーム周波数60)信号は、第1のアスペクト比変換回路26に供給され、標準アスペクト比のディスプレイに表示した場合に正規の縦横比の画像が得られるように変換された後に、ディスプレイ端子14に出力される。

(2-4) 映像情報への信号

## (2-4) MUSE信号入力

MUSE信号を(走査線数525/フレーム周波数60)に変換する場合、以下の二つの方法が考えられる。

(I) いったん(走査線数525/フレーム周波数60)に変換してからIDTV処理を行う方法

(II) 直接(走査線数525/フレーム周波数60)に変換する方法

本実施例では、どちらにも対応可能な構成としており、表示の際にいずれか一方が選択される。

上記(I)の方法の利点としては、第8図において、IDプロセッサ21のもつS/N改善効果および雑音を抑制できること、S出力用の(走査線数525/フレーム周波数60)信号として使えることがある。この場合、第8図におけるHDプロセッサ17は前記(1-c)の項で述べたのと同じ処理を行えば良い。IDプロセッサ21は、前記(2-a)の項におけるのと同様に順次走査も含めたIDTV処理を行う。第2のアスペクト

上記(1-4)の項では、IDプロセッサ21とEDプロセッサ22およびHDプロセッサ17からは、ディスプレイ端子14に対して供給される信号と同じ信号を、第3のスイッチ23に供給すれば良かったが、S出力のためには(走査線数525/フレーム周波数60)信号である必要がある。したがって、本構成では、第8図において、IDプロセッサ21、EDプロセッサ22、HDプロセッサ17からそれぞれ、順行方式と同じ走査方式である(走査線数525/フレーム周波数60)の信号を供給するようにしている。その他の回路動作に関しては、前記(1-4)の項と同じであり、説明を省略する。

以上のように本構成では、アスペクト比(3:4)の(走査線数525/フレーム周波数60)ディスプレイであっても、MUSE信号を表示可能である。また、MUSE信号のダウンコンバート処理のされた信号にたいしてもIDTV処理を行っているので、ダウンコンバートで通常問題となるS/Nの悪さを軽減することができる。

## 特開平3-218192(13)

(3) 3:4ディスプレイ(525/30)  
1125/30)

次に、アスペクト比(3:4)のディスプレイが、走査線数525本、フレーム周波数60Hz、ノンスケール走査と、走査線数1125本、フレーム周波数30Hz、インタレース走査と、のマルチスキャンディスプレイである場合を説明する。この場合の実施例のブロック図を第11図に示す。

## (3-a) 現行方式NTSC信号入力

前記(2-a)項におけるのと同じ動作であり、説明を省略する。

## (3-b) EDTV-II信号入力

前記(2-b)項におけるのと同じ動作であり、説明を省略する。

## (3-c) MUSE信号入力

第11図において、HDプロセッサ17はMUSE信号を入力し、デコード処理を行った後の信号を第1のアスペクト比変換回路28に供給する。この信号は(走査線数1125/フレーム周波数

30)のハイビジョン信号であり、非常に高精細な画像を表示することができる。

一方、S出力端子16への信号出力を考慮すると、(走査線数525/フレーム周波数30)信号へのダウンコンバート処理も行う必要がある。HDプロセッサ17の構成例のいくつかを第12図(a), (b), (c)に示す。

第12図(a), (b), (c)において、71は映像入力端子9からの入力信号、72はMUSEデコード、73は第1のアスペクト比変換回路28への出力信号、74はダウンコンバータ、75はデコード/コンバータ、32は第3のスイッチ23への出力信号である。

第12図(a)では、MUSEデコード72とダウンコンバータ74とを並列とし、MUSE信号を直接ダウンコンバートしており、単純で容易な構成とすることができる。

第12図(b)では、MUSE信号をデコードしたハイビジョン信号をダウンコンバート処理している。MUSEデコード72で動画像型の超

理をしている場合、高精細な(走査線数525/フレーム周波数30)信号を得ることができる。

第12図(c)では、フレームメモリの書き込みと読み出し及び内挿フィルタ処理を変えることにより、MUSEデコードとダウンコンバータを同一回路で構成している。

第11図の実施例では、第12図(c)のHDプロセッサ17におけるデコード/コンバータ75はデコードとして動作する。ダウンコンバータ74はデコード/コンバータ75の出力を改めてダウンコンバート処理する。これはS出力用のコンバート処理なので表示用と比べると映像域で長く、簡単なコンバート処理でも構わない。また、デコード/コンバータ75もメモリやフィルタ部を兼用できるので、大きな回路規模は必要としないという利点がある。

これらのコンバート処理はいずれにしても、(走査線数1125/フレーム周波数30)から(走査線数525/フレーム周波数30)への変換であり、(走査線数1125/フレーム周波数

30)方式の走査線2本分から(走査線数525/フレーム周波数30)方式の新たな走査線1本を作り出し、時間ずれを垂直同期期間で調整すれば良い。変換方法の一例を第13図に示すので参照されたい。

## (3-d) 他の映像源からの信号

この項に関する処理は、前記(2-d)の項におけるのと同じであり、説明を省略する。

以上のように本構成では、アスペクト比(3:4)のディスプレイであっても、MUSE信号あるいはEDTV-II信号を表示可能である。また、MUSE信号は(走査線数1125/フレーム周波数30)での表示が可能なので、走査線数の多い高精細な画像を得ることができる。

## (4) 9:16のディスプレイ(525/30)

次に、走査線数525本、フレーム周波数30Hz、インタレース走査を行うアスペクト比(9:16)のワイドディスプレイに表示する場合を説明する。この場合の実施例のブロック図を第14図に示す。

## 特開平3-218102(14)

(4-a) 実行方式NTSC信号入力

第14図において、IDプロセッサ21は標準速のIDTV処理を行った後に、第2のアスペクト比変換回路27を介して、信号をディスプレイ端子14に供給する。

第2のアスペクト比変換回路27は、映像入力端子10からのテレビジョン信号が本来ワイドアスペクトの信号でない場合に、ワイドアスペクトのディスプレイに表示して正規の縦横比の画像が得られるような変換を行う。この変換は例えば、画面の上下を伸張する方法や画面のセンタ部分を水平方向に圧縮する方法が考えられるが、これらはモード切替信号12により選択される。それ以外の信号にたいしては第2のアスペクト比変換回路27は動作を停止するように制御される。なお、入力信号が本来ワイド信号であるかどうかの検出は、ワイド画面識別信号処理回路18により行われる。

なお、上記アスペクト比の変換は、例えば前述の第3図に示す構成において、下記に説明するよ

比を示す。

第18図で示した変換後の走査線を第3図のバッファメモリ43に書き込み、垂直方向に3/4の部分を変更して連続的に読み出すことにより、第17図(c)の画像を得ることが可能になる。

(4-b) EDTV-II信号入力

この項に関する動作は、前記(1-b)の項とほぼ同一である。但し、ワイドディスプレイなので、第2図における第3のアスペクト比変換回路28は動作が停止するように制御される。

(4-c) MUSE信号入力

この項に関する動作も前記(1-c)の項とほぼ同一である。但し、ワイドディスプレイなので、第2図における第2のアスペクト比変換回路27は動作が停止するように制御される。

(4-d) 画の映像信号への信号

この項に関する動作は、前記(1-d)の項と同じであり、説明を省略する。

以上のように本構成では、アスペクト比(9:16)の(走査線数525/フレーム周波数30)

うな動作をすることで実現できる。

まず、左右圧縮方式を説明する。例えば第15図(a)に示す標準アスペクト画像が、第15図(b)のようにワイドディスプレイで左右に伸張されて表示されるのを防ぐために、第16図のように、表示すべき映像信号を時間方向に3/4倍に圧縮して表示する。この場合は、メモリへの書き込み速度に対して読み出しの速度を約4/3倍とすることにより、第15図(c)ごとく、標準アスペクトの画面一杯をワイドディスプレイの約3/4の部分に表示することが可能になる。

次に、上下伸張方式を説明する。第17図(c)に示すように、画面の垂直方向を約4/3倍に伸張することにより正規の縦横比が得られる。このために、例えば到来走査線の3本から改めて走査線4本を作成するようなフィルタ処理による変換を行い、変換後の走査線を表示すれば良い。

第18図において白丸印○は到来走査線、黒丸印●は変換後の走査線、図中の矢印と数字は、到来走査線から変換後の走査線を作成する際の混合

のワイドディスプレイであっても、標準アスペクト比のNTSC信号を表示可能である。また、MUSE信号のダウンコンバート処理のされた信号に対しても標準速のIDTV処理を行っているので、ダウンコンバートで通常問題となるS/Nの悪さを軽減することができる。

(5) 9:16ディスプレイ(525/30)

走査線数525本、フレーム周波数60Hz、ノンインタレース走査を行うアスペクト比(9:16)のワイドディスプレイに表示する場合を説明する。この場合の実施例のブロック図を第19図に示す。

(5-a) 実行方式NTSC信号入力

この項に関しては、第19図でIDプロセッサ21において順次走査変換も含めたIDTV処理を行っているほかは、前記(4-a)の項で説明した動作とほぼ同じである。

ここでIDプロセッサ12は、順次走査変換を行ったノンインタレース走査の信号を、第2のアスペクト比変換回路27を bypass してディスプレイ



## 特開平3-218192(15)

端子14に供給するとともに、標準連のIDTV処理のみを行った信号33を第3のスイッチ23を経由してS出力端子16に供給するようにしている。

これにより、表示はノンインタレースの、ラインフリッカなどのない高画質を得ることができるとともに、S出力は現行方式と同じ走査方式とすることができ、既存のVTRなどへの接続が可能となる。

(5-1) EDTV-II信号入力

EDTV-II信号を入力した場合の処理も、第19図において、EDプロセッサ22において順次走査変換も含めたEDTV処理を行う場合は、前記(4-b)の項で説明した動作とほぼ同じである。

ここでEDプロセッサ22は、順次走査変換を行ったノンインタレース走査の信号をディスプレイ端子14に供給するとともに、標準連のEDTV処理のみを行った信号34を第3のスイッチ23を経由してS出力端子14に供給するようにし

ている。これにより、表示はノンインタレースの、ラインフリッカなどのない高画質な画像を得ることができるとともに、S出力は現行方式と同じ走査方式とすることができ、既存のVTRなどへの接続が可能となる。

(5-2) MUSE信号入力

この項における処理は、前記(2-c)の項において第2のアスペクト比変換回路27の動作を停止させた場合に等しい。

(5-3) 他映像機器への信号

この項に関する処理は、前記(2-d)の項と同じであり、説明を省略する。

以上のように本構成では、アスペクト比(9:16)の(走査線数525/フレーム周波数60)のワイドディスプレイであっても、標準アスペクト比のNTSC信号を表示可能である。また、MUSE信号のダウンコンバート処理のされた信号に対してもIDTV処理を行っているので、ダウンコンバートで通常問題となるS/Nの悪さを軽減することができる。

(6) 9:16ディスプレイ(525/60)1125/30

次に、アスペクト比(9:16)のワイドディスプレイが、走査線525本、フレーム周波数60Hz、ノンインタレース走査と、走査線数1125本、フレーム周波数30Hz、インタレース走査と、のマルチスキャンディスプレイである場合を説明する。この場合の実施例のブロック図を第20図に示す。

(6-a) 現行方式NTSC信号入力

前記(5-a)の項におけるのと同じ動作であり、説明を省略する。

(6-b) EDTV-II信号入力

前記(5-b)の項におけるのと同じ動作であり、説明を省略する。

(6-c) MUSE信号入力

この項における処理は、前記(3-c)の項において、第1のアスペクト比変換回路26の動作を停止させた場合に等しい。

(6-d) 他映像機器への信号

この項に関する処理は、前記(2-d)の項におけるのと同じであり、説明を省略する。

以上のように本構成では、アスペクト比(9:16)のワイドディスプレイであっても、標準アスペクト比のNTSC信号を表示可能である。また、MUSE信号(走査線数1125/フレーム周波数30)での表示が可能なので、走査線数の多い高画質な画像を得ることができる。

第21図に本発明による別の実施例のブロック図を示す。第21図において、36は第5のスイッチ、36は第4のアスペクト比変換回路、ほかは第1図と同じである。

これまでの実施例では、HDプロセッサ17やIDプロセッサ21、EDプロセッサ22などの出力はそれぞれアスペクト比変換回路26、27、28を経由した後に、第4のスイッチ29により選択されていたが、本発明はこれに限らない。

第21図における実施例では、第5のスイッチ35により選択した後に、第4のアスペクト比変換回路36に供給するようにしている。これによ

## 特開平3-218192(16)

り、アスペクト比変換回路の構成を削減でき、回路規模を削減できる。この場合でも、第1図の実施例における第1、第2、第3のアスペクト比変換回路26、27、28は、同時に動作する必要がないことから、なんら問題は生じない。

第22図に、本発明による更に別の実施例のブロック図を示す。第22図において、37はID/EDプロセッサ、38はS出力用の現行の標準テレビジョン信号に合った走査方式の信号、ほかは第21図の実施例と同じである。

先に説明した第8図及び第10図から明らかなように、EDプロセッサ22はIDプロセッサ21の構成に、ワイド情報付加回路63とEDフラグ検出回路66とを追加した形で構成できる。したがって、これらの回路をON/OFFできる構成とすることで、IDプロセッサ21とEDプロセッサ22とを一体化できる。本実施例では、IDプロセッサ21とEDプロセッサ22とを一体化して構成することで、回路規模の削減を図った。

## 〔発明の効果〕

さらに、本発明によれば、入力したテレビジョン信号が、現行の標準テレビジョン信号に合った走査方式の信号であっても、本来のアスペクト比を正しく認識できるので、正規の縦横比での表示が可能となる。

また、EDプロセッサを、IDプロセッサにワイド情報付加回路とEDフラグ付加回路とを追加したかたちで構成し、一体化して構成することにより、回路規模の削減を図ることができる。

また、EDプロセッサを、フレーム間相関を利用した動き追応型高画質化処理の後に、ワイド情報付加処理を行い、その後フィールド間相関を用いた動き追応型高画質化処理を行うかたちで構成することにより、フィールド間相関を用いた動き追応型高画質化処理を行った信号と、行わない信号の両方を同時に容易に得ることができる。

## 4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は第1図に示した実施例の変形例を示すブロック図、第3図はアスペクト比変換回路の構成

以上述べたように本発明によれば、入力したテレビジョン信号が高品位テレビジョン信号またはEDTV信号であっても、あるいは現行標準テレビジョン信号であっても、同一の受信機で受信が可能で、ワイドテレビジョン信号処理回路を実現できる。

また本発明によれば、上記受信機の表示部のアスペクト比が(3:4)またはワイドアスペクト比であるからならず、また、表示部(ディスプレイ)の走査方式が何であるからならず、同一のワイドテレビジョン信号処理回路を採用できる。これは、特に縦横比とした場合に効果的である。

以上のように本発明では、画面の縦横比と設計作業の削減を可能にしたワイドテレビジョン信号処理回路を実現することができ、

また、ディスプレイの種類によらず、HDプロセッサは常に現行の標準テレビジョン信号に合った走査方式の信号を出力しているので、既存のVTRなど周辺機器への録画のための出力が可能となる。

例を示すブロック図、第4図はアスペクト比変換を行わない場合の不都合を示す説明図、第5図はアスペクト比変換を行う場合の映像信号波形を示す波形図、第6図はアスペクト比変換を行わない場合の不都合を示す説明図、第7図はアスペクト比変換を行う場合の走査線構造の変換説明図、第8図は第1図に示した実施例の別の変形例を示すブロック図、第9図はIDプロセッサの構成例を示すブロック図、第10図はEDプロセッサの構成例を示すブロック図、第11図は第1図に示した実施例の他の変形例を示すブロック図、第12図(a)、(b)、(c)はそれぞれHDプロセッサの構成例を示すブロック図、第13図はダウンコンバート処理の説明図、第14図は第1図に示した実施例の更に別の変形例を示すブロック図、第15図はアスペクト比変換を行わない場合の不都合を示す説明図、第16図はアスペクト比変換を行う場合の映像信号波形を示す波形図、第17図はアスペクト比変換を行わない場合の不都合を示す説明図、第18図はアスペクト比変換を行う

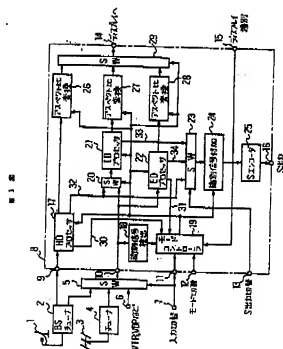
特開平3-218192(17)

場合の走査線構造の裏面説明図、第19図、第20図はそれぞれ第1面に示した実施例の更に他の変形例を示すブロック図、第21図、第22図はそれぞれ本発明の他の実施例を示すブロック図、である。

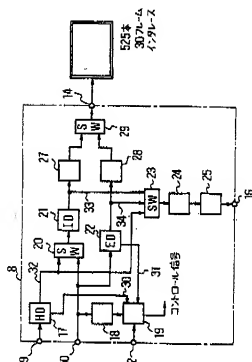
# 符号の説明

8…ワイドテレビジョン信号処理回路、15…ディスプレイ駆動入力端子、17…HDプロセッサ、18…ワイド画面識別信号検出回路、19…モードコントローラ、21…LDプロセッサ、22…EDプロセッサ、24…ワイド画面識別信号付加回路、25…Sエンコーダ、26、27、28、36…アスペクト比変換回路。

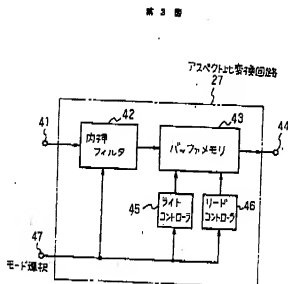
代理人 井理士 並 木 昭 夫



第 1 図

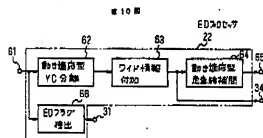
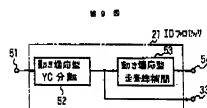
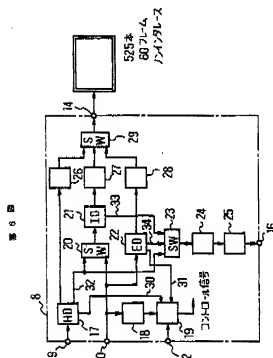
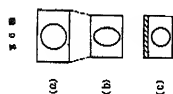
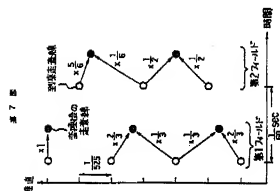
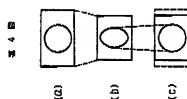
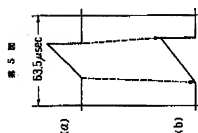


第 2 図



第 3 図

特開平3-218192(18)



特開平3-218192(19)

図 11

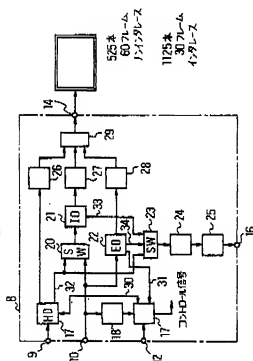


図 13

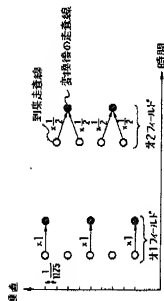


図 14

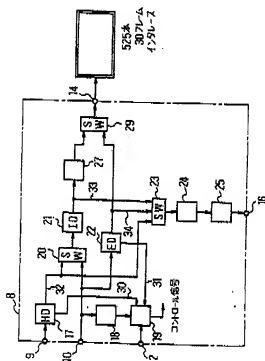
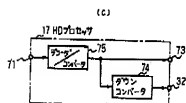
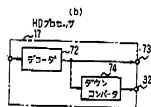
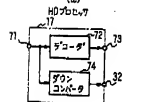
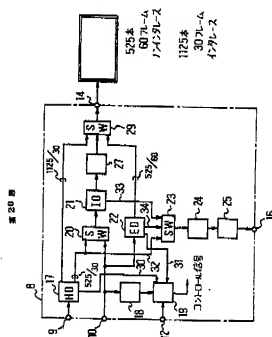
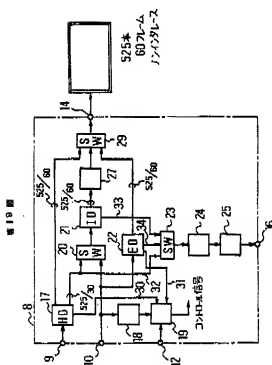
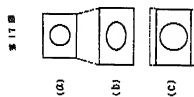
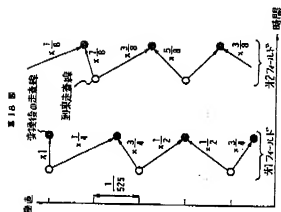
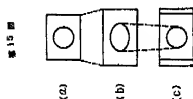
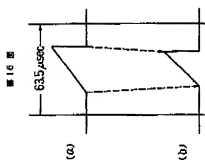


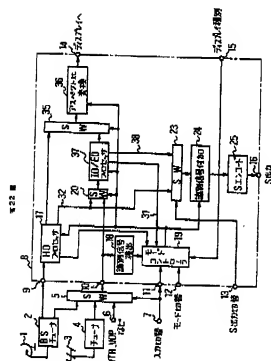
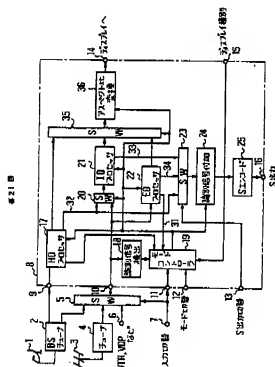
図 15



特開平3-218192 (20)



特開平3-218192(21)



第1頁の続き

⑦ 発 明 者 勝 又

黄 治

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作  
所家電研究所内